

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-332580

(43)Date of publication of application : 30.11.2000

(51)Int.Cl.

H03K 3/027

(21)Application number : 11-137278

(71)Applicant : DENSO CORP

(22)Date of filing : 18.05.1999

(72)Inventor : KITAMURA NORIYASU
FUJHASHI YOSHINORI
AZUMA HIDEJI

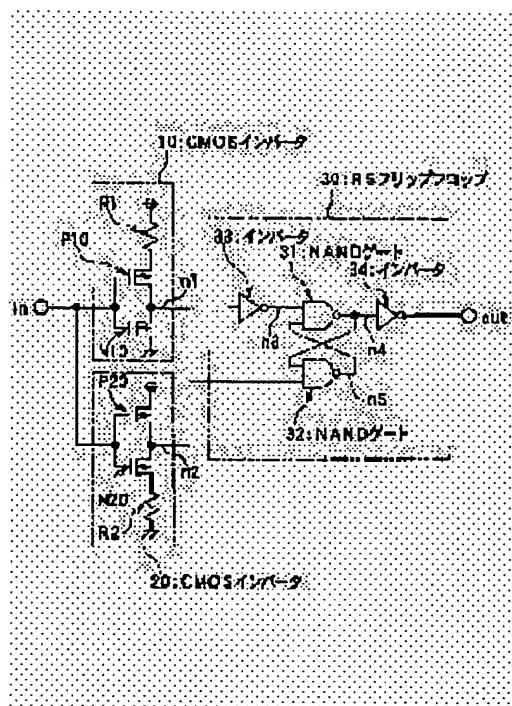
(54) SCHMITT TRIGGER CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a Schmitt trigger circuit which reduces the power consumption.

SOLUTION: The circuit is equipped with CMOS inverters 10 and 20 and an RS flip-flop 30, and the CMOS inverter 10 has a resistance element R1 connected between a power source and a PMOS transistor P10.

Consequently, a through current which flows from the power source to the ground through the PMOS transistor P10 and an NMOS transistor N10 can be limited. The CMOS inverter 20 has a resistance element R2 connected between the ground and an NMOS transistor N20. Consequently, a through current which flows from the power source to the ground through a PMOS transistor P20, the NMOS transistor N20, and the resistance element R2 can be limited.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

(18) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-332580

(P2000-332580A)

(43) 公開日 平成12年11月30日 (2000. 11. 30)

(51) Int. Cl.

識別記号

F I

サーチコード (参考)

H 0 3 K 3/027

H 0 3 K 3/027

A 5 J 0 4 8

審査請求 未請求 請求項の数 8 O L (全 6 頁)

(21) 出願番号

特願平11-137278

(22) 出願日

平成11年5月18日 (1999. 5. 18)

(71) 出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(72) 発明者

北村 哲康

愛知県刈谷市昭和町1丁目1番地 株式会社
デンソー内

(72) 発明者

藤橋 好典

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

(74) 代理人 100100022

弁護士 伊藤 洋二 (外1名)

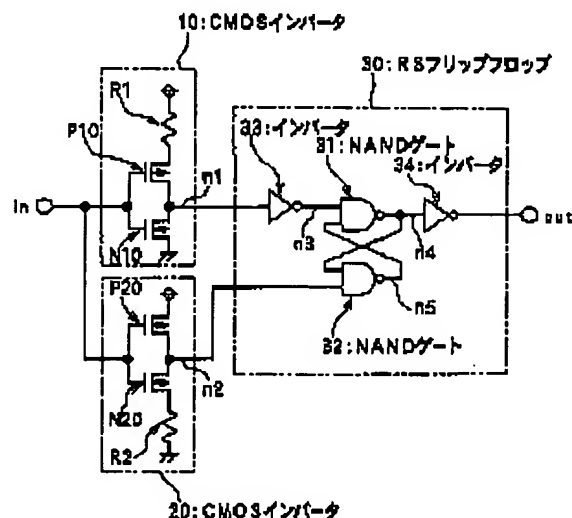
最終頁に続く

(54) 【発明の名称】 シュミットトリガ回路

(57) 【要約】

【課題】 消費電力を低減するようにしたシュミットトリガ回路を提供することを目的とする。

【解決手段】 CMOSインバータ10、20と、RSフリップフロップ30とを備え、CMOSインバータ10は、電源及びPMOSTランジスタP10との間に抵抗素子R1を接続された構成になっている。このため、電源から抵抗素子R1、PMOSTランジスタP10及びNMOSTランジスタN10を経てグラウンドに流れる貫通電流を制限できる。CMOSインバータ20は、グラウンド及びNMOSTランジスタN20との間に抵抗素子R2を接続された構成になっている。このため、電源からPMOSTランジスタP20、NMOSTランジスタN20及び抵抗素子R2を経てグラウンドに流れる貫通電流を制限できる。



【特許請求の範囲】

【請求項1】 電源とグランドとの間に接続されて、互いに共通な入力信号を受けるとともに互いに異なる閾値を有する第1及び第2のCMOSインバータ（10、10A、10B、20、20A、20B）と、

前記第1及び第2のCMOSインバータのいずれか一方の出力信号に応じてハイレベルになるとともに他方の出力信号に応じてローレベルになる信号を出力する出力回路（30）とを有するシュミットトリガ回路であって、前記第1及び第2のCMOSインバータの少なくとも一方は、前記電源から前記一方のCMOSインバータを通して前記グランドに流れる貫通電流を制限する電流制限手段（R1、R2、P11、N21）を有することを特徴とするシュミットトリガ回路。

【請求項2】 前記電流制限手段によって前記第1及び第2のCMOSインバータの閾値が互いに異なる値に設定されていることを特徴とする請求項1に記載のシュミットトリガ回路。

【請求項3】 前記電流制限手段は、抵抗素子（R1、R2）であることを特徴とする請求項1又は2に記載のシュミットトリガ回路。

【請求項4】 前記電流制限手段は、MOSトランジスタ（P11、N21）であることを特徴とする請求項1又は2に記載のシュミットトリガ回路。

【請求項5】 前記第1のCMOSインバータは、前記電源側から前記MOSTランジスタ（P11）、第1のPMOSTランジスタ（P10）及び第1のNMOSTランジスタ（N10）の順で前記グランド側まで直列に接続された構成になっており、

前記MOSTランジスタは、ゲート端子が前記グランドに接続された電流制限用PMOSTランジスタであることを特徴とする請求項4に記載のシュミットトリガ回路。

【請求項6】 前記第2のCMOSインバータは、前記電源側から第2のPMOSTランジスタ（P20）、第2のNMOSTランジスタ（N20）及び前記MOSTランジスタ（N21）の順で前記グランド側まで直列に接続された構成になっており、

前記MOSTランジスタは、そのゲート端子が前記電源に接続された電流制限用NMOSTランジスタであることを特徴とする請求項4又は5に記載のシュミットトリガ回路。

【請求項7】 電源とグランドとの間に接続されて、互いに共通な入力信号を受けるとともに互いに異なる閾値を有する第1及び第2のCMOSインバータ（10、10A、10B、20、20A、20B）と、

前記第1及び第2のCMOSインバータのいずれか一方の出力信号に応じてハイレベルになるとともに他方の出力信号に応じてローレベルになる信号を出力する出力回路（30）とを有するシュミットトリガ回路であって、

前記第1のCMOSインバータは、前記電源側から電流制限用PMOSTランジスタ（P11）、第1のPMOSTランジスタ（P10）及び第1のNMOSTランジスタ（N10）の順で前記グランド側まで直列に接続された構成になっており、

前記第2のCMOSインバータは、前記電源側から第2のPMOSTランジスタ（P20）、第2のNMOSTランジスタ（N20）及び電流制限用NMOSTランジスタ（N21）の順で前記グランド側まで直列に接続された構成になっており、

前記電流制限用PMOSTランジスタ及び前記電流制限用NMOSTランジスタは、外部信号に応じてオフされるようになっていることを特徴とするシュミットトリガ回路。

【請求項8】 前記電流制限用PMOSTランジスタ及び前記電流制限用NMOSTランジスタがオフ状態のとき、前記第1及び第2のCMOSインバータのそれぞれの前記出力信号をハイレベル或いはローレベルに固定する信号レベル固定手段（N11、P21）を備えたことを特徴とする請求項7に記載のシュミットトリガ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、シュミットトリガ回路に関する。

【0002】

【従来の技術】従来、図4に示すように、互いに共通な入力信号を受けるCMOSインバータ1、2と、RSフリップフロップ3とを備えたシュミットトリガ回路がある（特開平5-122017号公報参照）。ここで、CMOSインバータ1の閾値がCMOSインバータ2の閾値より低く設定されており、入力信号の電圧レベルがCMOSインバータ2の閾値より高くなったとき、RSフリップフロップ3は、ハイレベル信号を出力し、入力信号の電圧レベルがCMOSインバータ1の閾値より低くなったとき、RSフリップフロップ3はローレベル信号を出力する。

【0003】

【発明が解決しようとする課題】ところで、上記シュミットトリガ回路では、CMOSインバータ1にその閾値付近の電圧レベルの入力信号が入力されたとき、電源からCMOSインバータ1を通してグランドに貫通電流が流れ、消費電力が増加するという問題がある。本発明は、このようなことに鑑み、消費電力を低減するようにしたシュミットトリガ回路を提供することを目的とする。

【0004】

【課題を解決するための手段】本発明は、上記目的を達成するために、請求項1に記載の発明では、第1及び第2のCMOSインバータ（10、10A、10B、20、20A、20B）は、電源とグランドとの間に接続

されて、互いに共通な入力信号を受けるとともに互いに異なる閾値を有する。出力回路(30)は、第1及び第2のCMOSインバータのいずれか一方の出力信号に応じてハイレベルになるとともに他方の出力信号に応じてローレベルになる信号を出力する。そして、第1及び第2のCMOSインバータの少なくとも一方は、電源から前記一方のCMOSインバータを通してグラウンドに流れる貫通電流を制限する電流制限手段(R1、R2、P11、N21)を有する。

【0005】このように、電流制限手段により貫通電流が制限されるので、低消費電力化を図ることができる。また、請求項2に記載の発明のように、電流制限手段によって第1及び第2のCMOSインバータの閾値が互いに異なる値に設定されるようにしてもよい。さらに、請求項3に記載の発明のように、電流制限手段としては、抵抗素子(R1、R2)を採用してもよい。

【0006】また、請求項4に記載の発明のように、電流制限手段としては、MOSトランジスタ(P11、N21)を採用してもよい。さらに、請求項5に記載の発明においては、第1のCMOSインバータは、電源側から前記MOSトランジスタ(P11)、第1のPMOSTランジスタ(P10)及び第1のNMOSTランジスタ(N10)の順でグラウンド側まで直列に接続された構成になっている。そして、MOSトランジスタとしては、ゲート端子がグラウンドに接続された電流制限用PMOSTランジスタを採用してもよい。

【0007】また、請求項6に記載の発明においては、第2のCMOSインバータは、電源側から第2のPMOSTランジスタ(P20)、第2のNMOSTランジスタ(N20)及びMOSトランジスタ(N21)の順で前記グラウンド側まで直列に接続された構成になっている。そして、MOSトランジスタとしては、そのゲート端子が電源に接続された電流制限用NMOSTランジスタを採用してもよい。

【0008】特に、請求項7に記載の発明においては、電流制限用PMOSTランジスタ及び電流制限用NMOSTランジスタは、外部信号に応じてオフされるようになっている。従って、シュミットトリガ回路の動作が必要ないとき、電流制限用PMOSTランジスタ及び電流制限用NMOSTランジスタを外部信号に応じてオフすれば、入力信号の電圧に関わらず、貫通電流をなくすることができる。

【0009】さらに、請求項8に記載の発明においては、信号レベル固定手段(N11、P21)は、電流制限用PMOSTランジスタ及び電流制限用NMOSTランジスタがオフ状態のとき、第1及び第2のCMOSインバータのそれぞれの出力信号をハイレベル或いはローレベルに固定する。これにより、出力回路には、信号レベル固定手段によってハイレベル或いはローレベルの出力信号が入力されるので、出力回路が電氣的ノイズによ

る誤動作することを防止できる。

【0010】なお、上記各手段の括弧内の符号は、後述する実施形態に記載の具体的手段との対応関係を示す一例である。

【0011】

【発明の実施の形態】以下、本発明を図に示す各実施形態について説明する。

〔第1実施形態〕図1に本発明に係るシュミットトリガ回路の第1実施形態を示す。シュミットトリガ回路は、図1に示すように、CMOSインバータ10、20及びRSフリップフロップ30を有する。CMOSインバータ10は、PMOSTランジスタP10、NMOSTランジスタN10及び抵抗素子R1を有する。抵抗素子R1は、電源とPMOSTランジスタP10との間に接続され、電源から抵抗素子R1を通してPMOSTランジスタP10及びNMOSTランジスタN10を経てグラウンドに流れる貫通電流を制限する。

【0012】CMOSインバータ20は、PMOSTランジスタP20、NMOSTランジスタN20及び抵抗素子R2を有する。抵抗素子R2は、グラウンドとNMOSTランジスタN20との間に接続され、電源からPMOSTランジスタP20及びNMOSTランジスタN20を経て抵抗素子R2を通してグラウンドに流れる貫通電流を制限する。

【0013】但し、本実施形態では、抵抗素子R1を電源とPMOSTランジスタP10との間に接続し、抵抗素子R2をNMOSTランジスタN20とグラウンドとの間に接続することで、CMOSインバータ10の閾値(以下、第1の閾値という)が、CMOSインバータ20の閾値(以下、第2の閾値という)より低く設定されている。

【0014】RSフリップフロップ30は、NANDゲート31、32及びインバータ33、34から構成され、RSフリップフロップ30は、CMOSインバータ20の出力信号の電圧レベルがハイレベルからローレベルになったとき、ハイレベル信号を出力端子outから出力する一方、CMOSインバータ10からの出力信号の電圧レベルがローレベルからハイレベルになったとき、ローレベル信号を出力端子outから出力する。次に、上記構成において、作動を説明する。

【0015】まず、入力信号が入力端子inからCMOSインバータ10に入力され、入力信号の電圧レベルがCMOSインバータ10の第1の閾値より低いとき、CMOSインバータ10は、その出力端子n1からハイレベル信号を出力する。そして、RSフリップフロップ30のインバータ33は、CMOSインバータ10からのハイレベル信号を受け出力端子n3からローレベル信号をNANDゲート31に出力し、NANDゲート31はその出力端子n4からハイレベル信号をNANDゲート32に出力する。

【0016】また、入力信号は、入力端子inからCMOSインバータ20にも入力され、当該入力信号の電圧レベルはCMOSインバータ20の第2の閾値より低いので、CMOSインバータ20は、その出力端子n2からハイレベル信号をNANDゲート32に出力する。ここで、NANDゲート32は、NANDゲート31からのハイレベル信号を受けているので、その出力端子n5からローレベル信号をNANDゲート31に出力する。

【0017】次に、入力信号の電圧レベルが上がり、第1の閾値と第2の閾値の間の値になったとき、CMOSインバータ10は、その出力端子n1からローレベル信号をインバータ33に出力し、インバータ33はNANDゲート31にハイレベル信号を出力する。しかしながら、この状態では、NANDゲート31は、NANDゲート32からのローレベル信号を受けているので、NANDゲート31は、ハイレベル信号を出力する状態を保持する。

【0018】次に、入力信号の電圧レベルが第2の閾値より高くなったとき、CMOSインバータ20がその出力端子n2からローレベル信号をNANDゲート32に出力する。すると、NANDゲート32は、その出力端子n5からハイレベル信号をNANDゲート31に出力し、NANDゲート31はその出力端子n4からローレベル信号をインバータ34に出力し、インバータ34はハイレベル信号を出力する。このことにより、RSフリップフロップ30はセット状態になる。

【0019】次に、入力信号の電圧レベルが下がり、第1の閾値と第2の閾値の間の値になったとき、NANDゲート31、32の出力信号の状態は変化せず、インバータ34の出力信号は、ハイレベル信号のままである。次に、入力信号の電圧レベルが第1の閾値より低くなったとき、RSフリップフロップ30が出力端子outからローレベル信号を出力する。このことにより、RSフリップフロップ30はリセット状態になる。

【0020】そして、入力信号の電圧レベルが第1の閾値の値に近くなったとき、CMOSインバータ10のPMOSTランジスタP10及びNMOSTランジスタN10が導通状態になり、貫通電流が流れるが、抵抗素子R1により貫通電流が制限される。また、入力信号の電圧レベルが第2の閾値の値に近くなったとき、CMOSインバータ20のPMOSTランジスタP20及びNMOSTランジスタN20が導通状態になり、貫通電流が流れるが、抵抗素子R2により貫通電流が制限される。

【0021】以上説明したように、抵抗素子R1（或いは、抵抗素子R2）は、CMOSインバータ10（或いはCMOSインバータ20）を流れる貫通電流を制限するので、シュミットトリガ回路の低消費電力化を実現し得る。また、貫通電流を制限する為の抵抗素子R1、R2を利用して、CMOSインバータ10、20の第1及

び第2の閾値を設定しているのも、CMOSインバータ10、20の設計の自由度が高くなる。

【0022】なお、本発明の実施にあたり、抵抗素子R1、R2としては、ポリシリコン層、（POLY抵抗）、N型拡散層、若しくはP型拡散層を用いて構成するようにしてもよい。また、上記第1実施形態では、CMOSインバータ10、20のそれぞれに抵抗素子R1、R2を採用した例につき説明したが、これに限らず、CMOSインバータ10（或いは、CMOSインバータ20）のいずれか一方に抵抗素子R1（或いは、抵抗素子R2）を採用するようにしてもよい。

【0023】（第2実施形態）図2に示すように、図1に示す抵抗素子R1に置き換えてPMOSTランジスタP11を採用し、図1に示す抵抗素子R2に置き換えてNMOSTランジスタP21を採用しても、図1に示すシュミットトリガ回路と同様の動作を行うようにすることもできる。

【0024】但し、PMOSTランジスタP11は、そのオン抵抗が抵抗素子R1と同様の値が設定され、NMOSTランジスタN21は、オン抵抗が抵抗素子R2と同様の値が設定されている。また、PMOSTランジスタP11は、そのゲート端子がグラウンドに接続され、NMOSTランジスタN21は、そのゲート端子が電源に接続されている。

【0025】（第3実施形態）本実施形態では、シュミットトリガ回路の動作が必要ないとき、外部コントロール信号を採用して貫通電流をなくすようにしている。この場合の構成を図3に示す。本実施形態によれば、図2に示すCMOSインバータ10AにNMOSTランジスタN11を追加し、PMOSTランジスタP11とNMOSTランジスタN11との双方のゲート端子を接続して、NORゲート10Bを構成する。PMOSTランジスタP11とNMOSTランジスタN11との双方のゲート端子には、インバータ50が接続され、インバータ50は外部コントロール信号enが入力される。

【0026】また、図2に示すCMOSインバータ20AにNMOSTランジスタN21を追加し、NMOSTランジスタN21とPMOSTランジスタP21との双方のゲート端子を接続して、NANDゲート20Bを構成する。NMOSTランジスタN21とPMOSTランジスタP21との双方のゲート端子には、外部コントロール信号enが入力される。

【0027】ここで、シュミットトリガ回路の動作が必要ないとき、外部コントロール信号enとしてローレベル信号がインバータ50に入力され、インバータ50は、ハイレベル信号をNORゲート10BのPMOSTランジスタP11に出力する。従って、PMOSTランジスタP11は、オフ状態になり、入力信号の電圧レベルに関わらず、NORゲート10Bの貫通電流をなくすることができる。

7

【0028】さらに、外部コントロール信号 e_n としてローレベル信号がNANDゲート20BのNMOSTランジスタN21にされ、NMOSTランジスタN21は、オフ状態になり、NANDゲート20Bの貫通電流をなくすることができる。また、インバータ50は、ハイレベル信号をNORゲート10BのNMOSTランジスタN11にも出力し、NMOSTランジスタN11はオンし、ローレベル信号がRSフリップフロップ30のインバータ33にされる。そして、PMOSTランジスタP21は、外部コントロール信号 e_n としてローレベル信号を受けオンし、RSフリップフロップ30のNANDゲート32には、電源からPMOSTランジスタP21を通してハイレベル信号がされる。

【0029】このように、インバータ33にはローレベル信号がされ、NANDゲート32には、ハイレベル信号がされるので、RSフリップフロップ30が電氣的ノイズ等により誤作動することを防止できる。また、外部コントロール信号 e_n としてハイレベル信号がインバータ50を通してNORゲート10Bに出力されるとともに、NANDゲート20Bに出力されれば、シュミットトリガ回路は、図2に示すシュミットトリガ回

路と同様に作動する。

【0030】なお、本発明の実施にあたり、シュミットトリガ回路として、非接触型ICカードの入力回路、自動車搭載用電子回路等、その他一般の電子回路に適用してもよい。

【図面の簡単な説明】

【図1】本発明の第1実施形態のシュミットトリガ回路を示す電気回路図である。

【図2】本発明の第2実施形態のシュミットトリガ回路を示す電気回路図である。

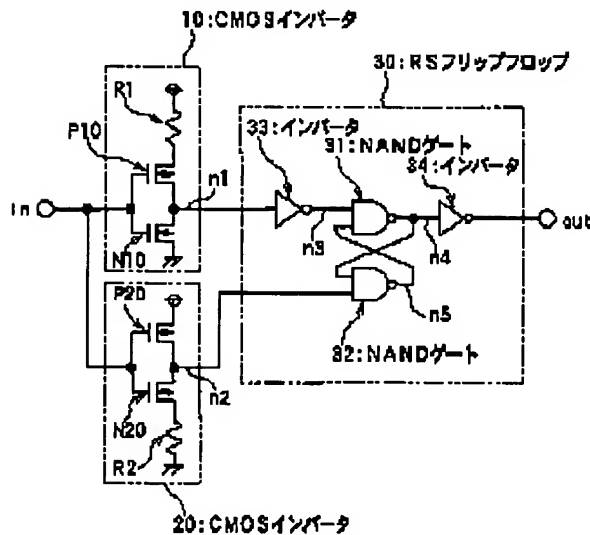
【図3】本発明の第3実施形態のシュミットトリガ回路を示す電気回路図である。

【図4】従来技術のシュミットトリガ回路を示す電気回路図である。

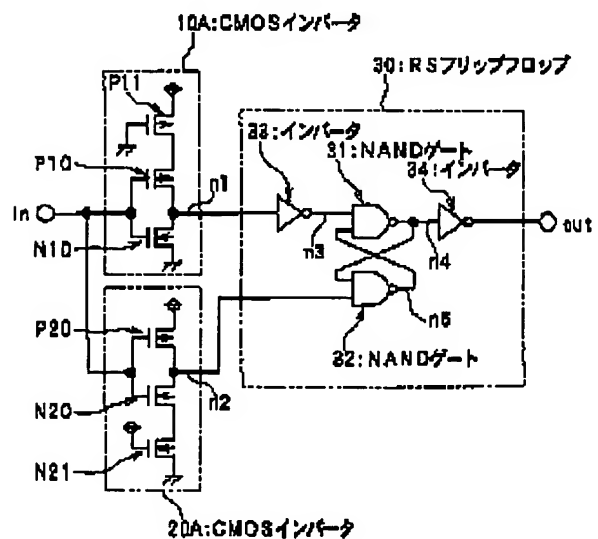
【符号の説明】

10、10A、20、20A…CMOSインバータ、10B…NORゲート、20B…NANDゲート、30…RSフリップフロップ、R1、R2…抵抗素子、P10、P11、P20、P21…PMOSTランジスタ、N10、N11、N20、N21…NMOSTランジスタ。

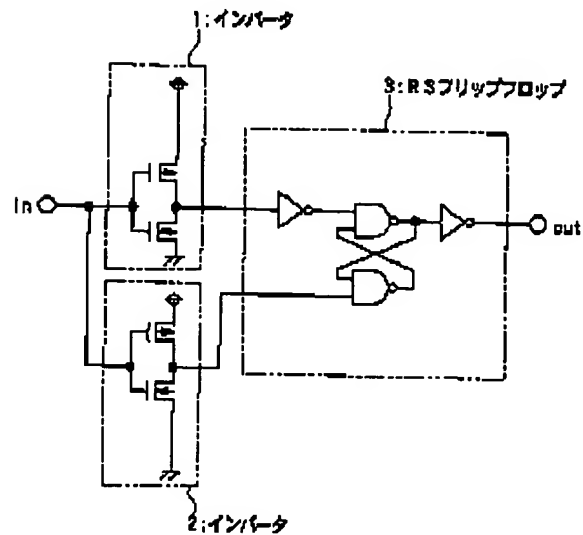
【図1】



【図2】



10B: NORTH



Fターム(参考) 5J043 AA03 BB04 FF00 GG04